

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月11日

出願番号

Application Number:

特願2002-202466

[ST.10/C]:

[JP2002-202466]

出願人

Applicant(s):

セイコーエプソン株式会社

2003年 5月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3032002

【書類名】 特許願  
【整理番号】 J0091746  
【提出日】 平成14年 7月11日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/02  
H01L 27/00  
【発明の名称】 半導体装置の製造方法、半導体素子部材、電気光学装置  
、及び電子機器  
【請求項の数】 18  
【発明者】  
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株  
式会社内  
【氏名】 近藤 貴幸  
【特許出願人】  
【識別番号】 000002369  
【氏名又は名称】 セイコーホームズ株式会社  
【代理人】  
【識別番号】 100089037  
【弁理士】  
【氏名又は名称】 渡邊 隆  
【代理人】  
【識別番号】 100064908  
【弁理士】  
【氏名又は名称】 志賀 正武  
【選任した代理人】  
【識別番号】 100110364  
【弁理士】  
【氏名又は名称】 実広 信哉

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9910485

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法、半導体素子部材、電気光学装置、及び電子機器

【特許請求の範囲】

【請求項1】 基板上に犠牲層を介して半導体素子を有した機能層を形成し、前記犠牲層をエッティングすることによって前記機能層を該基板から剥離する工程を備えた、半導体装置の製造方法において、

前記犠牲層としてN型のAl( $x_1$ )Ga( $1-x_1$ )As層を形成し、

前記機能層をAl( $x_2$ )Ga( $1-x_2$ )As系の半導体層（ただし、 $x_1 > x_2$ とする）から形成し、

前記犠牲層のエッティング液として濃度が5重量%以下、0.01重量%以上の塩酸またはフッ酸を用い、

前記エッティング液による前記犠牲層のエッティングを、該犠牲層に光を照射しつつ行う

ことを特徴とする半導体装置の製造方法。

【請求項2】 前記のN型のAl( $x_1$ )Ga( $1-x_1$ )As層からなる犠牲層における $x_1$ と、前記のAl( $x_2$ )Ga( $1-x_2$ )As系の半導体層からなる機能層における $x_2$ とが、 $x_1 - x_2 \geq 0.1$ の関係を満足することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記のN型のAl( $x_1$ )Ga( $1-x_1$ )As層からなる犠牲層における $x_1$ が、0.95以上である

ことを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】 前記のN型のAl( $x_1$ )Ga( $1-x_1$ )As層からなる犠牲層における $x_1$ が、1.0である

ことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記基板における前記機能層側の面にフィルムを貼り付けておき、その状態のもとで、前記基板における前記半導体素子を有した機能層を、該基板から剥離する

ことを特徴とする請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記半導体素子は、発光ダイオード、面発光レーザ、フォト・ダイオード、高電子移動度トランジスタ、インダクター、キャパシター、抵抗及びヘテロバイポーラ・トランジスタの内の少なくとも一つを有することを特徴とする請求項1～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記機能層側に分離溝を形成しておき、その状態のもとで前記犠牲層をエッティングし、前記基板から前記機能層を剥離する、ことを特徴とする請求項1～6のいずれかに記載の半導体装置の製造方法。

【請求項8】 前記分離溝は、ドライエッティング及びウエットエッティングのいずれかの方法で形成される  
ことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 前記分離溝は、少なくとも前記犠牲層に到達する深さを有する  
ことを特徴とする請求項7又は8記載の半導体装置の製造方法。

【請求項10】 前記分離溝に前記エッティング液を注入し前記犠牲層をエッティングすることにより、前記機能層を前記基板から剥離する、  
ことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 前記基板から剥離された半導体素子を有する機能層を、前記基板とは異なる第2基板に接合する  
ことを特徴とする請求項1～10のいずれかに記載の半導体装置の製造方法。

【請求項12】 前記基板とは異なる第2基板が、シリコン、石英、サファイア、金属、セラミックス及びプラスチックフィルムのいずれかからなる基板である  
ことを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】 前記基板とは異なる第2基板に接合された前記機能層の半導体素子を、該第2基板上に形成された回路と接続する  
ことを特徴とする請求項11又は12に記載の半導体装置の製造方法。

【請求項14】 請求項1～13のいずれかに記載の製造方法によって得られた半導体装置を備えた  
ことを特徴とする半導体素子部材。

【請求項15】 請求項1～14のいずれかに記載の製造方法によって得られた半導体装置を備えた

ことを特徴とする電気光学装置。

【請求項16】 前記電気光学装置は、マトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを有する  
ことを特徴とする請求項15記載の電気光学装置。

【請求項17】 前記電気光学装置は、発光素子を有する  
ことを特徴とする請求項15記載の電気光学装置。

【請求項18】 請求項15～17のいずれかに記載の電気光学装置を備えた

ことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法、及びこの製造方法によって得られた半導体装置を備えた半導体素子部材、電気光学装置、及び電子機器に関する。

【0002】

【従来の技術】

シリコン半導体基板上に、ガリウム・ヒ素系（G a A s系）やアルミニウム・ガリウム・ヒ素系（A l G a A s系）等の面発光レーザ（V C S E L）、フォトダイオード（P D）、又は高電子移動度トランジスタ（H E M T）などを設けたり、液晶ディスプレイ（L C D）の各画素の薄膜トランジスタ（T F T）の代わりに微小シリコントランジスタをガラス基板へ貼り付けるというような、半導体素子を材質の異なる基板上に形成する技術が考えられている。

【0003】

このような材質の異なる半導体を有する集積回路としては、オプトエレクトロニクス集積回路（O E I C）が挙げられる。オプトエレクトロニクス集積回路は、光による入出力手段を備えた集積回路であり、集積回路内での信号処理は電気

信号を用いて行うものの、集積回路の外との入出力については光信号を用いて行うよう構成されたものである。

#### 【0004】

ところで、コンピュータでは、集積回路の内部構造の微細化により、C P U 内部の動作速度（動作クロック）が年々向上している。しかし、バスにおける信号伝達速度はほぼ限界に達しつつあり、コンピュータの処理速度のボトルネックとなっている。このバスにおける信号伝達を光信号で行うことができれば、コンピュータの処理速度の限界を著しく高めることができるとなる。これを実現するためには、シリコンで作られる集積回路に微小な発光・受光素子を内蔵させる必要がある。

#### 【0005】

しかしながら、シリコンは、間接遷移型半導体であるため発光することができない。そこで、シリコンと、シリコンとは別の半導体発光素子とを組み合わせて集積回路を構成することが必要となる。

半導体発光素子として有望なものは、ガリウム・ヒ素（G a A s）やアルミニウム・ガリウム・ヒ素（A l G a A s）などの化合物半導体からなる面発光レーザ（V C S E L）がある。しかし、このような面発光レーザは、シリコンと格子整合しないため、エピタキシーなどの半導体プロセスによって直接にシリコン集積回路上に形成することが非常に困難である。

通常、面発光レーザは、ガリウム・ヒ素基板上に形成される。そこで、この基板上に形成した面発光レーザをチップ化し、このチップを機械的にシリコン集積回路基板に実装することで、電気信号伝達回路と光信号伝達回路とを融合する方法が考えられている。

#### 【0006】

##### 【発明が解決しようとする課題】

ところで、前記面発光レーザは、ガリウム・ヒ素基板上にエピタキシャル膜としてアルミニウム・ガリウム・ヒ素層を形成し、このアルミニウム・ガリウム・ヒ素層を用いて形成される。そこで、このような面発光レーザなどの半導体素子をチップ化する方法としては、基板と半導体素子との間に犠牲層を形成しておき

、この犠牲層をエッチングすることにより、前記半導体素子を基板から切り離す、エピタキシャルリフトオフと称される方法が考えられている。

## 【0007】

例えばアルミニウム・ガリウム・ヒ素は、その組成を  $A_1 (x) Ga (1-x) As$  とすると、 $A_1$  組成が高く  $x$  が 1 に近づくに連れて、HF (フッ酸) や HCl (塩酸) に対するエッチングレートが増大する。このような性質を利用し、これを犠牲層として用いることにより、前記のエピタキシャルリフトオフで半導体素子を基板から切り離すことが可能となるのである。

## 【0008】

しかしながら、半導体素子を形成する層をアルミニウム・ガリウム・ヒ素系とした場合、前記の犠牲層の組成については  $A_1 (x) Ga (1-x) As$  において最大でも  $x = 1.0$ 、すなわち  $A_1 As$  にしかならない。したがって、半導体素子を形成する層の  $A_1$  組成が高くなると、犠牲層との間で十分な選択比が確保できなくなり、結果として、エッチングによって基板上の半導体素子にダメージを与えてしまう。例えば、半導体素子として面発光レーザを形成した場合、この面発光レーザを構成する層の一部に  $x = 0.9$  程度の  $A_1$  組成の層を使用するため、特に問題になってしまう。

## 【0009】

本発明は前記事情に鑑みてなされたもので、その目的とするところは、特に半導体素子を有する層（機能層）として  $A_1 Ga As$  系のものを用いた場合に、より良好な選択比を確保することができ、これにより半導体素子へのダメージを防止した、半導体装置の製造方法、及びこの製造方法によって得られた半導体装置を備えた半導体素子部材、電気光学装置、電子機器を提供することにある。

## 【0010】

## 【課題を解決するための手段】

前記目的を達成するため本発明の半導体装置の製造方法では、基板上に犠牲層を介して半導体素子を有した機能層を形成し、前記犠牲層をエッチングすることによって前記機能層を該基板から剥離する工程を備えた、半導体装置の製造方法において、

前記犠牲層としてN型のAl( $x_1$ )Ga( $1-x_1$ )As層を形成し、前記機能層をAl( $x_2$ )Ga( $1-x_2$ )As系の半導体層（ただし、 $x_1 > x_2$ とする）から形成し、

前記犠牲層のエッティング液として濃度が5重量%以下、0.01重量%以上の塩酸またはフッ酸を用い、

前記エッティング液による前記犠牲層のエッティングを、該犠牲層に光を照射しつつ行うことの特徴としている。

この製造方法によれば、例えば半導体素子を有する機能層としてAlの組成が高い層を使用している場合にも、犠牲層として機能層よりAlの組成が高くGaの組成が低いN型のAl( $x_1$ )Ga( $1-x_1$ )As層を用い、エッティング液として希塩酸を用いて、光を照射しつつ犠牲層をエッティングすることにより、十分に高い選択比を確保することができる。したがって、半導体素子にダメージを与えることなく、良好にエピタキシャルリフトオフを行うことができる。

#### 【0011】

また、前記半導体装置の製造方法においては、前記のN型のAl( $x_1$ )Ga( $1-x_1$ )As層からなる犠牲層における $x_1$ と、前記のAl( $x_2$ )Ga( $1-x_2$ )As系の半導体層からなる機能層における $x_2$ とが、 $x_1 - x_2 \geq 0.1$ の関係を満足するのが好ましい。

さらに、前記半導体装置の製造方法においては、N型のAl( $x_1$ )Ga( $1-x_1$ )As層からなる犠牲層における $x_1$ が、0.95以上であるのが好ましく、1.0であるのがより好ましい。

このようにすれば、より高い選択比を確保することにより、半導体素子へのダメージをより確実に防止することができる。

#### 【0012】

また、前記半導体装置の製造方法においては、前記基板における前記機能層側の面にフィルムを貼り付けておき、その状態のもとで、前記基板における前記半導体素子を有した機能層を、該基板から剥離するのが好ましい。

このようにすれば、半導体素子を有する機能層のみを、微小タイル形状として基板から切り取り、フィルムにマウントしてハンドリングすることができ、した

がって半導体素子を個別に選択して第2基板に接合できるとともに、ハンドリングできる半導体素子のサイズを従来の実装技術のものよりも小さくすることができる。

#### 【0013】

また、前記半導体装置の製造方法においては、前記半導体素子が、発光ダイオード、面発光レーザ、フォト・ダイオード、高電子移動度トランジスタ、インダクター、キャパシター、抵抗及びヘテロバイポーラ・トランジスタの内の少なくとも一つを有しているのが好ましい。

#### 【0014】

また、前記半導体装置の製造方法においては、前記機能層側に分離溝を形成しておき、その状態のもとで前記犠牲層をエッティングし、前記基板から前記機能層を剥離するのが好ましい。なお、この分離溝については、ドライエッティング及びウエットエッティングのいずれかの方法で形成するのが好ましい。

このようにすれば、半導体素子が形成される基板上の機能層について、分離溝の部分を除いた全ての面積が半導体素子として利用可能になる。

#### 【0015】

また、前記分離溝については、少なくとも前記犠牲層に到達する深さを有するのが好ましく、その場合に、前記分離溝に前記エッティング液を注入し前記犠牲層をエッティングすることにより、前記機能層を前記基板から剥離するのが好ましい。

このようにすれば、分離溝にエッティング液を注入することで、分離溝から犠牲層にエッティング液を送ることが可能になり、したがって犠牲層を確実にエッティングすることができる。

#### 【0016】

また、前記半導体装置の製造方法においては、前記基板から剥離された半導体素子を有する機能層を、前記基板とは異なる第2基板に接合するのが好ましい。なお、前記半導体基板とは異なる基板としては、シリコン、石英、サファイヤ、金属、セラミックス及びプラスチックフィルムのいずれかからなる基板であるのが好ましい。

また、前記基板とは異なる第2基板に接合された前記機能層の半導体素子を、該第2基板上に形成された回路と接続するのが好ましい。

このようにすれば、前記基板とは異なる第2基板に回路を形成しておき、この回路と前記機能層の半導体素子とを電気的に接続することにより、複合的な機能を有する半導体装置を製造することができる。

【0017】

本発明の半導体素子部材では、前記製造方法によって得られた半導体装置を備えたことを特徴としている。

この半導体素子部材によれば、良好なエピタキシャルリフトオフによってダメージなく形成された半導体素子からなる半導体装置を備えているので、高い信頼性を有したものとなる。

【0018】

本発明の電気光学装置では、前記の製造方法によって得られた半導体装置を備えたことを特徴としている。なお、この電気光学装置としては、マトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを有するものであるのが好ましく、あるいは、発光素子を有するものであるのが好ましい。

この電気光学装置によれば、良好なエピタキシャルリフトオフによってダメージなく形成された半導体素子からなる半導体装置を備えているので、高い信頼性を有したものとなる。

【0019】

本発明の電子機器では、前記電気光学装置を備えたことを特徴としている。

この電子機器によれば、前記電気光学装置を備えているので、高い信頼性を有した良好なものとなる。

【0020】

【発明の実施の形態】

以下、本発明の半導体装置の製造方法の一実施形態について、図面を参照して説明する。なお、本実施形態では、面発光レーザとなる化合物半導体デバイス（

化合物半導体素子)をシリコン・LSIチップ上に接合する場合について説明するが、本発明はこれに限定されることなく、任意の種類の半導体デバイスやLSIチップに適用することができる。

## 【0021】

## &lt;第1工程&gt;

第1工程では、まず、図1に示すようにガリウム・ヒ素(GaAs)化合物半導体からなる基板10を用意する。次に、エピタキシャル成長を行い、その表層部にエピタキシャル膜(図示せず)を形成する。ここで、このエピタキシャル膜の最下位層には厚さ数百nm程度の犠牲層11を形成する。この犠牲層11は、本実施形態ではN型のAl( $x$ 1)Ga(1- $x$ 1)As層(アルミニウム・ガリウム・ヒ素層)とする。この犠牲層11の形成に際し、これをN型にするためのドーパントとしては、Si(シリコン)やSe(セレン)などが用いられる。

## 【0022】

また、この犠牲層11の上には、厚さ1μmから10(20)μm程度の機能層12を形成しておき、さらにこの機能層12に、面発光レーザ(VCSEL)となる半導体デバイス(半導体素子)13を作製する。機能層12については、複数のエピタキシャル膜が積層されて形成されるものとするが、基本的にはAl( $x$ 2)Ga(1- $x$ 2)As系(アルミニウム・ガリウム・ヒ素系)の半導体層からなるものとする。ここで、この機能層12を形成する半導体層と前記犠牲層11とについては、特に式中の $x$ 1と $x$ 2とが異なるようにする。具体的には、 $x$ 1> $x$ 2、すなわち犠牲層11の方が機能層12に比べAl組成が高くなるように形成する。半導体デバイス(半導体素子)13を面発光レーザとする場合、例えばそのDBR(Distributed Bragg Reflector)を形成する層は $x$ 2が0.9程度となることから、 $x$ 1については0.95以上、好ましくは1.0とする。なお、本実施形態では $x$ 2=1.0、すなわち犠牲層11を形成するN型のAl( $x$ 1)Ga(1- $x$ 1)As層は、N型のAlAs層(アルミニウム・ヒ素層)であるものとする。

## 【0023】

前記半導体デバイス13については、前述したように複数のエピタキシャル膜

を積層することにより、素子に形成するものとし、電極も形成してその動作テストも行っておく。

## 【0024】

## &lt;第2工程&gt;

第2工程では、図2に示すように各半導体デバイス13を分割するようにして、機能層12側に分離溝21を形成する。分離溝21は、少なくとも犠牲層11に到達する深さをもつ溝とする。例えば、分離溝の幅及び深さとともに、10μmから数百μmとする。また、分離溝21は、後述するエッティング液が該分離溝21を流れるように、行き止まりなく繋がっている溝とする。さらに、分離溝21は、碁盤の目のごとく格子状に形成するのが好ましい。

## 【0025】

また、分離溝21相互の間隔を数十μmから数百μmとすることで、分離溝21によって分割・形成される各半導体デバイス13のサイズを、数十μmから数百μm四方の面積をもつものとする。分離溝21の形成方法としては、フォトリソグラフィとウェットエッティングによる方法、またはフォトリソグラフィとドライエッティングによる方法を採用することができる。なお、クラックが基板10に生じない範囲で、U字形溝のダイシングによって分離溝21を形成するようにしてもよい。

## 【0026】

分離溝21の形成において、ウェットエッティングでは硫酸系エッティング液が使用でき、ドライエッティングでは塩素ガスが使用できる。また、分離溝21はパターン寸法が大きく精度を必要としないので、エッティングマスクについてはフォトリソグラフィによって形成しなくてもよい。例えば、エッティングマスクとしてオフセット印刷などによるものも使用可能である。また、分離溝21の形成においては、基板10の結晶方位に対する分離溝21の方位も重要なとなる。

## 【0027】

## &lt;第3工程&gt;

第3工程では、図3に示すように基板10の機能層12側の面（半導体デバイス13側の面）に中間転写フィルム31を貼り付ける。中間転写フィルム31と

しては、一方の面に粘着剤が塗着されたフレキシブルなものが用いられる。

#### 【0028】

##### ＜第4工程＞

第4工程では、図4に示すように分離溝21にエッティング液41を注入し、犠牲層11を選択的にエッティングする。このとき、基板10の表面あるいは裏面に對して、例えばハロゲンランプ（図示せず）から波長1.5μm以下の光を照射する。

本工程では、犠牲層11のみを選択的にエッティングするため、エッティング液41として、アルミニウム・ヒ素に対して選択性が高い希塩酸、具体的には5重量%以下、0.01重量%以上の希塩酸が用いられる。5重量%を越えると、選択比が低くなるとともに取り扱い性が悪くなり、また0.01重量%未満では、エッティングレートが低くなつて好ましくない。なお、エッティング液41として低濃度のフッ酸を使用することもできるが、塩酸の方が選択性の点で優れているため、塩酸を用いるのが好ましい。

#### 【0029】

このようなエッティング液41を用い、光を照射しつつエッティングを行うと、そのメカニズムについては明らかではないものの、後述する実験例に示すように機能層12に対して十分に高い選択比を確保することができる。したがって、所定時間エッティングを続けることにより、機能層12に形成された半導体デバイス13にダメージを与えることなく、犠牲層11を選択的にエッティングすることができる。

なお、光照射用のランプとしては、ハロゲンランプに限定されることなく、これより短波長の光を照射できるものなど、任意のものを使用することができる。

#### 【0030】

##### ＜第5工程＞

このようにして光照射を併用したエッティングを所定時間行い、図5に示すように犠牲層11すべてが選択的にエッティングされたら、この第5工程では、分離溝21及び犠牲層11のあった部位に純水を注入し、リシスを行う。

#### 【0031】

## &lt;第6工程&gt;

犠牲層11が全てエッチングされると、機能層12は基板10から分離したものとなる。そこで、犠牲層11を全てエッチングし、さらにリンスを行ったら、この第6工程では、中間転写フィルム31を基板10から引き離すことにより、図6に示すように中間転写フィルム31に貼着されている機能層12を基板10から引き離す。

## 【0032】

このようにすることにより、半導体デバイス13が形成された機能層12は、分離溝21及び犠牲層11のエッチングによって分割され、所定の形状（例えば、微小タイル形状）の半導体素子（以下、「微小タイル状素子61」と称する）となり、中間転写フィルム31に貼着保持されたものとなる。ここで、微小タイル状素子61としては、その厚さが例えば $1\text{ }\mu\text{m}$ から $8\text{ }\mu\text{m}$ 、大きさ（縦横）が例えば数十 $\mu\text{m}$ から数百 $\mu\text{m}$ であるのが好ましい。

なお、機能層12が剥離された基板10については、半導体デバイスの形成に再利用することが可能である。また、犠牲層11及び機能層12を予め複数層ずつ形成しておき、前述の第1工程から第6工程を繰り返すことにより、基板10によって「微小タイル状素子61」を繰り返し作製することもできる。

## 【0033】

## &lt;第7工程&gt;

第7工程では、図7に示すように微小タイル状素子61を貼着した中間転写フィルム31を移動させ、第2基板71の所望の位置に微小タイル状素子61をアライメントする。第2基板71は、シリコン半導体からなるもので、LSI領域72を形成したものである。このLSI領域72は、各種の半導体素子を含む回路を形成したものである。また、第2基板71の所望の位置には、微小タイル状素子61を接着するための接着剤73を予め塗布しておく。

## 【0034】

## &lt;第8工程&gt;

第8工程では、図8に示すように第2基板71の所定の位置にアライメントされた微小タイル状素子61を、中間転写フィルム31越しにコレット81で押し

つけ、第2基板71に接合する。ここで、所定の位置には前述したように接着剤73が塗布されているので、微小タイル状素子61はこの第2基板71の所定の位置に接着固定される。なお、本工程では、第2基板71への微小タイル状素子61の固定方法として接着剤を用いたが、他の固定方法を用いてもよい。

## 【0035】

## &lt;第9工程&gt;

なお、第6工程の直後に、中間転写フィルム31の粘着力を消失させて、微小タイル状素子61から中間転写フィルム31を剥がしておく。

ここで、中間転写フィルム31の粘着剤としては、UV硬化性又は熱硬化性のものを用いておく。そして、第6工程の直後に、中間転写フィルム31を全面紫外線照射するなどして粘着力を全面消失させておく。粘着力が消失したとはいえ実際には僅かに粘着性が残り、また微小タイル状素子61は非常に薄く軽いため、微小タイル状素子61は中間転写フィルム31に貼着された状態が保持される。また、UV硬化性の粘着剤を用いた場合には、コレット81を透明な材質にしておき、コレット81の端面（底面）から紫外線（UV）を照射（透過）することにより、中間転写フィルム31の粘着力を消失させるようにしてもよい。一方、熱硬化性の接着剤を用いた場合には、コレット81を加熱することにより、中間転写フィルム31の粘着力を消失させるようにすることができる。

このように予め微小タイル状素子61から中間転写フィルム31を剥がしておくことにより、この第9工程では、図9に示すように微小タイル状素子61が第2基板71の所定位置に移行する。

## 【0036】

## &lt;第10工程&gt;

第10工程では、加熱処理などによって前記接着剤73を硬化させ、微小タイル状素子61を第2基板71に本接合する。

## 【0037】

## &lt;第11工程&gt;

第11工程では、図10に示すように微小タイル状素子61の電極と第2基板71上の回路を配線91により電気的に繋ぎ、一つのLSIチップを完成させる

第2基板71としては、シリコン半導体のみならず、石英、サファイヤ、金属、セラミックス及びプラスチックフィルムのいずれかからなる基板を用いてもよい。シリコン半導体を第2基板71とした場合には、CCD（電荷結合素子）を有する基板としてもよい。石英などのガラス基板を第2基板71とした場合には、これを液晶ディスプレイ（LCD）、有機EL装置等のディスプレイに利用することができる。また、プラスチックフィルムを第2基板71とした場合には、これを液晶ディスプレイ、有機エレクトロ・ルミネッセンス・パネル、又はICフィルムパッケージなどに利用することができる。

#### 【0038】

このような製造方法によれば、犠牲層11として機能層12よりA1の組成が高くGaの組成が低いN型のA1(x1)Ga(1-x1)As層を用い、エッティング液として希塩酸を用いて、光を照射しつつ犠牲層11をエッティングしたので、十分に高い選択比を確保することができる。したがって、半導体デバイス13にダメージを与えることなく、良好にエピタキシャルリフトオフを行うことができ、これにより機能層12を基板10から良好に剥離することができる。

#### 【0039】

また、半導体デバイス13を、従来のモノリシックプロセスでは製造困難な組み合わせの第2基板71（半導体基板）上に、あたかもモノリシック的に形成することが可能となる。

すなわち、シリコン半導体基板上に、ガリウム・ヒ素製の面発光レーザ、フォトダイオード又は高電子移動度トランジスタなどを設けたり、液晶ディスプレイの各画素の薄膜トランジスタ（TFT）の代わりに微小シリコントランジスタをガラス基板へ貼り付けるというような、半導体素子を材質の異なる基板上に形成する場合、従来では、ハイブリッドプロセスで作製していた。

図17は従来のハイブリッド集積回路の一例を示す模式斜視図であり、この図に示すようにシリコンLSIチップ111はLSI領域112を有している。そして、シリコンLSIチップ111の表面には、フォトダイオードチップ101a、面発光レーザチップ101b及び高電子移動度トランジスタチップ101c

が接合されている。ここで、従来の実装技術では、ハンドリングできるチップサイズが（厚さ数十 $\mu$ m×面積数百 $\mu$ m角）が限界となっている。したがって、フォトダイオードチップ101a、面発光レーザチップ101b及び高電子移動度トランジスタチップ101cのサイズは、（厚さ数十 $\mu$ m×面積数百 $\mu$ m角）以上となる。

#### 【0040】

これに対し、本実施形態の製造方法によれば、前述したように半導体デバイス13（微小タイル状素子61）を、図11に示すように第2基板71（半導体基板）上にあたかもモノリシック的に形成することができる。すなわち、図11において第2基板71であるシリコンLSIチップは、LSI領域72を有している。そして、第2基板71の表面には、フォトダイオードタイル61a、面発光レーザタイル61b、及び高速動作トランジスタ（MESFET、HBT、HEMTを含む）61cが接合されている。なお、HBTとは、化合物半導体ヘテロバイポーラである。ここで、フォトダイオードタイル61a、面発光レーザタイル61b、及び高速動作トランジスタ61cは、微小タイル状素子61として前記実施形態の製造方法で作製され接合されたものである。したがって、これらフォトダイオードタイル61a、面発光レーザタイル61b、及び高速動作トランジスタ61cのサイズは、（厚さ数 $\mu$ m×面積数十 $\mu$ m角）にすることが可能となる。

そこで、本実施形態の製造方法によれば、モノリシックで形成した場合と同程度の小さいサイズの半導体素子（微小タイル状素子61）を、任意の種類の基板（例えば、シリコン、石英、サファイヤ、金属、セラミックス及びプラスチックフィルムなどの基板）上に形成することが可能となるのである。

#### 【0041】

また、本実施形態の製造方法によれば、半導体基板（基板10）上で半導体デバイス13（半導体素子）を完成させてから、微小タイル状素子61に加工するので、形成した半導体デバイス13については予め動作テストを行っておくことにより、良否を選別しておくことができる。

また、微小タイル状素子61を作製するためのもとの半導体基板（基板10）

については、分離溝21の部分を除き全て半導体デバイス13（微小タイル状素子61）として利用することができる。したがって、半導体基板（基板10）の利用面積効率を高めることができ、製造コストを低減することができる。

#### 【0042】

また、微小タイル状素子61をフレキシブルな中間転写フィルム31にマウントするようにしたので、各微小タイル状素子61を選択して第2基板71に接合することができる。

また、微小タイル状素子61を半導体素子として完成した状態で第2基板71に接合するので、接合後に複雑な半導体プロセスを必要としなくなる。したがって、微小タイル状素子61の第2基板71への接合後に、第2基板71の全体を処理する必要がないので、製造プロセスの無駄を低減することができる。

また、微小タイル状素子61の第2基板71への接合後に、複雑な半導体プロセスを必要としないので、その微小タイル状素子61の接合方法の制約が緩くなり、例えば低耐熱性の接合方法を採用することも可能となる。

#### 【0043】

なお、前記実施形態では、機能層12に形成する半導体デバイス13を面発光レーザとしたが、本発明はこれに限定されることなく、発光ダイオード（LED）、フォトダイオード（PD）、高電子移動度トランジスタ（HEMT）、ヘテロバイポーラトランジスタ（HBT）などとしてもよく、また、これらと前記面発光レーザとのうちの複数種を形成するようにしてもよい。

#### 【0044】

##### （応用例）

次に、本発明の半導体装置の製造方法を使用して作製された半導体素子部材の応用例について説明する。

第1の応用例としては、前記実施形態の方法を用いて、シリコンLSI上に面発光レーザ（VCSEL）及びフォトダイオード（PD）を設ける。これにより、光パルスを用いてシリコンLSIの外部とデータを送受信することができる。したがって、電気接続できない所とのデータの送受信が可能となるのみならず、電子信号で送受信した場合よりも高速に信号を送受信することが可能となる

## 【0045】

第2の応用例としては、前記実施形態の方法を用いて、シリコンLSI上に高速動作トランジスタ(HBT)を設ける。そして、携帯電話などの構成部品として、HBTによる高速アナログアンプをシリコンICに内蔵させることで、配線長が短縮し、回路の高速動作が可能になる。また、微小タイル状素子61を作製する基板10については、分離溝21の部分を除き全て半導体デバイス13(微小タイル状素子61)として利用できる。したがって、高価なガリウム・ヒ素基板の利用面積効率を高めることができ、製造コストを低減することができる。

## 【0046】

第3の応用例としては、電気光学装置である液晶ディスプレイの各画素について、薄膜トランジスタ(TFT)の代わりに、本発明の製造方法を用いて微小シリコントランジスタを貼り付ける。

第4の応用例としては、電気光学装置である有機EL(エレクトロ・ルミネッセンス)表示装置の各画素について、本発明の製造方法を用いて、薄膜トランジスタ(TFT)の代わりに、微小シリコントランジスタを貼り付ける。以下に、この電気光学装置の製造方法について詳細に説明する。

## 【0047】

## (電気光学装置)

以下、本実施形態の応用例に係る電気光学装置について、図12を参照しながら説明する。

図12において符号1は有機EL装置であり、この有機EL装置1は、光を透過可能な基板(光透過層)2と、基板2の一方の面側に設けられ陰極(電極)7と陽極(電極)8との間に挟持された有機エレクトロルミネッセンス材料からなる発光層5及び正孔輸送層6からなる有機EL素子(発光素子)9と、必要に応じて、基板1と有機EL素子9との間に積層されている低屈折率層3及び封止層4とを備えて構成されたものである。低屈折率層3は封止層4より基板2側に設けられている。

## 【0048】

また、有機EL装置1のうち、有機EL素子9を挟んで封止層4と反対側の表面にも、電極7、8を含む有機EL素子9に対して大気が侵入するのを遮断する封止部材320が形成されている。

このような構成からなる有機EL装置1は、封止層4上にスパッタリングやイオンプレーティング、真空蒸着法などを用いて陽極8を形成し、さらに陽極8上に順次、正孔輸送層6、発光層5、陰極7を蒸着して積層することにより、製造される。

#### 【0049】

ここで、図12に示す有機EL装置1は、発光層5からの発光を基板2側から装置外部に取り出す形態であり、基板2の形成材料としては、光を透過可能な透明あるいは半透明材料、例えば、透明なガラス、石英、サファイア、あるいはポリエチル、ポリアクリレート、ポリカーボネート、ポリエーテルケトンなどの透明な合成樹脂などが挙げられる。

一方、基板と反対側から発光を取り出す形態の場合には、基板は不透明であってもよく、その場合、アルミナ等のセラミック、ステンレス等の金属シートに表面酸化などの絶縁処理を施したもの、熱硬化性樹脂、熱可塑性樹脂などを用いることができる。

#### 【0050】

陽極8は、インジウム錫酸化物 (ITO: Indium Tin Oxide) 等からなる透明電極である。正孔輸送層6は、例えば、トリフェニルアミン誘導体 (TPD) 、ピラゾリン誘導体、アリールアミン誘導体、スチルベン誘導体、トリフェニルジアミン誘導体等からなる。具体的には、特開昭63-70257号、同63-175860号公報、特開平2-135359号、同2-135361号、同2-209988号、同3-37992号、同3-152184号公報に記載されているもの等が使用されるが、トリフェニルジアミン誘導体が好ましく、中でも4, 4' - ビス (N (3-メチルフェニル) - N - フェニルアミノ) ビフェニルが好適とされる。

#### 【0051】

なお、正孔輸送層に代えて正孔注入層を形成するようにしてもよく、さらに正

孔注入層と正孔輸送層を両方形成するようにしてもよい。その場合、正孔注入層の形成材料としては、例えば銅フタロシアニン（CuPc）や、ポリテトラヒドロチオフェニルフェニレンであるポリフェニレンビニレン、1, 1-ビス-（4-N, N-ジトリルアミノフェニル）シクロヘキサン、トリス（8-ヒドロキシキノリノール）アルミニウム等が挙げられるが、特に銅フタロシアニン（CuPc）を用いるのが好ましい。

## 【0052】

発光層5の形成材料としては、低分子の有機発光色素や高分子発光体、すなわち各種の蛍光物質や燐光物質などの発光物質、Alq3（アルミキレート錯体）などの有機エレクトロルミネッセンス材料が使用可能である。発光物質となる共役系高分子の中ではアリーレンビニレン又はポリフルオレン構造を含むものなどが特に好ましい。低分子発光体では、例えばナフタレン誘導体、アントラセン誘導体、ペリレン誘導体、ポリメチン系、キサテン系、クマリン系、シアニン系などの色素類、8-ヒドロキノリンおよびその誘導体の金属錯体、芳香族アミン、テトラフェニルシクロペンタジエン誘導体等、または特開昭57-51781、同59-194393号公報等に記載されている公知のものが使用可能である。

陰極7は、アルミニウム（Al）やマグネシウム（Mg）、金（Au）、銀（Ag）等からなる金属電極である。

## 【0053】

なお、陰極7と発光層5との間に、電子輸送層や電子注入層を設けることができる。電子輸送層の形成材料としては、特に限定されることなく、オキサジアゾール誘導体、アントラキノジメタンおよびその誘導体、ベンゾキノンおよびその誘導体、ナフトキノンおよびその誘導体、アントラキノンおよびその誘導体、テトラシアノアヌラキノジメタンおよびその誘導体、フルオレノン誘導体、ジフェニルジシアノエチレンおよびその誘導体、ジフェノキノン誘導体、8-ヒドロキシキノリンおよびその誘導体の金属錯体等が例示される。具体的には、先の正孔輸送層の形成材料と同様に、特開昭63-70257号、同63-175860号公報、特開平2-135359号、同2-135361号、同2-209988号、同3-37992号、同3-152184号公報に記載されているもの

等が例示され、特に2-(4-ビフェニリル)-5-(4-t-ブチルフェニル)-1,3,4-オキサジアゾール、ベンゾキノン、アントラキノン、トリス(8-キノリノール)アルミニウムが好適とされる。

【0054】

このような構成からなる有機EL装置1は、例えば図13に示すようなアクティブマトリクス型の表示装置(電気光学装置)S1として用いられる。

この表示装置S1は、回路図である図13に示すように基板上に、複数の走査線131と、これら走査線131に対して交差する方向に延びる複数の信号線132と、これら信号線132に並列に延びる複数の共通給電線133とがそれぞれ配線されたもので、走査線131及び信号線132の各交点毎に、画素(画素領域素)ARが設けられて構成されたものである。

【0055】

信号線132に対しては、シフトレジスタ、レベルシフタ、ビデオライン、アナログスイッチを備えるデータ線駆動回路390が設けられている。

一方、走査線131に対しては、シフトレジスタ及びレベルシフタを備える走査線駆動回路380が設けられている。また、画素領域ARの各々には、走査線131を介して走査信号がゲート電極に供給される第1のトランジスタ322と、この第1のトランジスタ322を介して信号線132から供給される画像信号を保持する保持容量capと、保持容量capによって保持された画像信号がゲート電極に供給される第2のトランジスタ324と、この第2のトランジスタ324を介して共通給電線133に電気的に接続したときに共通給電線133から駆動電流が流れ込む画素電極323と、この画素電極(陽極)323と対向電極(陰極)222との間に挟み込まれる発光部(発光層)360とが設けられている。

【0056】

ここで、第1のトランジスタ322及び第2のトランジスタ324は、前記の第1工程から第11工程で示した製造方法に基づいて、表示装置S1の基板上に貼り付けられた微小シリコントランジスタである。

【0057】

このような構成のもとに、走査線131が駆動されて第1のトランジスタ322がオンとなると、そのときの信号線132の電位が保持容量c<sub>ap</sub>に保持され、該保持容量c<sub>ap</sub>の状態に応じて、第2のトランジスタ324の導通状態が決まる。そして、第2のトランジスタ324のチャネルを介して共通給電線133から画素電極323に電流が流れ、さらに発光層360を通じて対向電極222に電流が流れることにより、発光層360は、これを流れる電流量に応じて発光するようになる。

## 【0058】

## (電子機器)

次に、前記実施形態の電気光学装置を備えた電子機器の例について説明する。

図14は、携帯電話の一例を示した斜視図である。図14において符号1000は携帯電話本体を示し、符号1001は前記の表示装置（電気光学装置）を用いた表示部を示している。

## 【0059】

図15は、腕時計型電子機器の一例を示した斜視図である。図15において符号1100は時計本体を示し、符号1101は前記の表示装置（電気光学装置）を用いた表示部を示している。

## 【0060】

図16は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図16において符号1200は情報処理装置、符号1202はキーボードなどの入力部、符号1204は情報処理装置本体、符号1206は前記の表示装置（電気光学装置）を用いた表示部を示している。

## 【0061】

図14から図16に示す電子機器は、前記表示装置（電気光学装置）を備えているので、高い信頼性を有した良好なものとなる。

また、前記実施形態の製造方法によって形成されることにより、従来のものに比べ小型化が可能となり、さらに、製造コストの低減化も可能になる。

## 【0062】

なお、本発明の技術範囲は上記実施形態に限定されるものではなく、本発明の

趣旨を逸脱しない範囲において種々の変更を加えることが可能であり、実施形態で挙げた具体的な材料や層構成などはほんの一例に過ぎず、適宜変更が可能である。

## 【0063】

## (実験例)

$A_1 (x) Ga (1-x) As$  の組成からなる層を形成した試料として、以下の4種類を用意した。

- ・N型で  $x = 0.9$  のアルミニウム・ガリウム・ヒ素層を形成した試料
- ・P型で  $x = 0.9$  のアルミニウム・ガリウム・ヒ素層を形成した試料
- ・N型で  $x = 1.0$  のアルミニウム・ヒ素層を形成した試料
- ・P型で  $x = 1.0$  のアルミニウム・ヒ素層を形成した試料

また、エッティング液として、0.1重量%の希塩酸を用意した。

## 【0064】

前記4種類の各試料に対し、それぞれ前記のエッティング液を用いてエッティングを行った。このときのエッティング条件として、ハロゲンランプによる光照射を行う場合と、暗箱内にて光照射を行うことなく行う場合との2種類で行った。

このようにして、各条件のもとでエッティングを行い、各試料（各層）に対するエッチレート ( $\mu m/min$ ) を調べた。得られた結果を表1に示す。

## 【0065】

【表1】

	光照射を行つた場合のエッチングレート(μm/min)	光照射を行わなかつた場合のエッチングレート(μm/min)
N型 $x=1.0$	1.3	0.3
P型 $x=1.0$	0.05	0.7
N型 $x=0.9$	0.01	0.01
P型 $x=0.9$	0.0065	0.03

【0066】

表1に示した結果より、 $x=0.9$ の層に対する $x=1.0$ の層のエッチングレートの比、すなわちエッチング選択比を求めることができる。その結果を表2に示す。

【0067】

【表2】

	光照射を行つた場合の選択比	光照射を行わなかつた場合の選択比
N型 $x=1.0$ 対 N型 $x=0.9$	130	30
N型 $x=1.0$ 対 P型 $x=0.9$	200	10
P型 $x=1.0$ 対 N型 $x=0.9$	5	70
P型 $x=1.0$ 対 P型 $x=0.9$	7.7	23

【0068】

表2より、N型の $x=1.0$ の層は、希塩酸をエッティング液として光を照射しつつエッティングを行うと、N型 $x=0.9$ 、P型 $x=0.9$ のいずれの層に対しても100倍以上の選択比を持つことが分かった。

【0069】

A<sub>1</sub>G<sub>a</sub>A<sub>s</sub>系材料の塩酸に対するエッティングレートはA<sub>1</sub>組成xの低下とともに減少することが知られている。したがって、N型のx=1.0の層は、同条件下においてA<sub>1</sub>組成x=0.9以下の層に対しては当然100倍以上の選択比を持つ。一般に、犠牲層と機能層でエッティング選択比が100程度あれば、機能層にダメージを与えることなく犠牲層を選択的に除去できる。

前記実施形態で示した面発光レーザのように最大x=0.9の層を含む機能層に適用する場合、犠牲層としてN型のx=1.0の層を用い、希塩酸をエッティング液として光を照射しつつエッティングを行うことで機能層にほとんどダメージを与えることなく、犠牲層だけを選択的にエッティングすることが可能になる。

#### 【0070】

エッティング液である塩酸またはフッ酸の濃度5重量%～0.01重量%の範囲においても、同様の選択比を得ることができた。また、濃度を小さくするほど選択比が大きくなる傾向があることも分かったので、濃度範囲としては、3重量%以下とするのが好ましい。また、濃度を低くするにしたがい、犠牲層のエッティングレートが小さくなるため、0.05重量%以上とするのがより好ましい。

犠牲層としては、x=1.0とするのがもっとも好ましい。また、たとえx<1.0であっても、機能層に含まれる最大のA<sub>1</sub>組成を持つ層に対して少なくとも10%以上高いA<sub>1</sub>組成であれば、前述と同等の選択比を得ることができる。ただし、犠牲層のA<sub>1</sub>組成をあまり下げるとエッティングレートが小さくなってしまい、エッティングに時間がかかるため、実用上はx≥0.95とすることが好ましい。

#### 【0071】

##### 【発明の効果】

以上説明したように本発明によれば、機能層としてA<sub>1</sub>の組成が高い層を使用している場合にも、犠牲層として機能層よりA<sub>1</sub>の組成が高くG<sub>a</sub>の組成が低いN型のA<sub>1</sub>(x1)G<sub>a</sub>(1-x1)A<sub>s</sub>層を用い、エッティング液として塩酸またはフッ酸を用いて、光を照射しつつ犠牲層をエッティングすることにより、十分に高い選択比を確保することができる。したがって、半導体素子にダメージを与えることなく、良好にエピタキシャルリフトオフを行うことができ、これにより

機能層を基板から良好に剥離することができる。

そして、このように基板上に形成した半導体素子を、例えば微小タイル形状にして該基板から剥離することができるので、この微小タイル形状に剥離された半導体素子を、任意の物体に接合して集積回路を形成することができる。

【図面の簡単な説明】

【図1】 本発明における半導体装置の製造方法の一実施形態の、第1工程を説明するための要部側断面図である。

【図2】 前記製造方法の一実施形態の、第2工程を説明するための要部側断面図である。

【図3】 前記製造方法の一実施形態の、第3工程を説明するための要部側断面図である。

【図4】 前記製造方法の一実施形態の、第4工程を説明するための要部側断面図である。

【図5】 前記製造方法の一実施形態の、第5工程を説明するための要部側断面図である。

【図6】 前記製造方法の一実施形態の、第6工程を説明するための要部側断面図である。

【図7】 前記製造方法の一実施形態の、第7工程を説明するための要部側断面図である。

【図8】 前記製造方法の一実施形態の、第8工程を説明するための要部側断面図である。

【図9】 前記製造方法の一実施形態の、第9工程を説明するための要部側断面図である。

【図10】 前記製造方法の一実施形態の、第11工程を説明するための要部側断面図である。

【図11】 本発明の製造方法で作製した集積回路の一例を示す模式斜視図である。

【図12】 本実施形態の電気光学装置の概略断面図である。

【図13】 アクティブマトリクス型の表示装置を示す回路図である。

【図14】 本発明の電気光学装置を備えた電子機器を携帯電話に適用した場合の一例を示す図である。

【図15】 本発明の電気光学装置を備えた電子機器を腕時計型電子機器に適用した場合の一例を示す図である。

【図16】 本発明の電気光学装置を備えた電子機器を携帯型情報処理装置に適用した場合の一例を示す図である。

【図17】 従来のハイブリッド集積回路の一例を示す模式斜視図である。

【符号の説明】

10…基板、 11…犠牲層、 12…機能層、

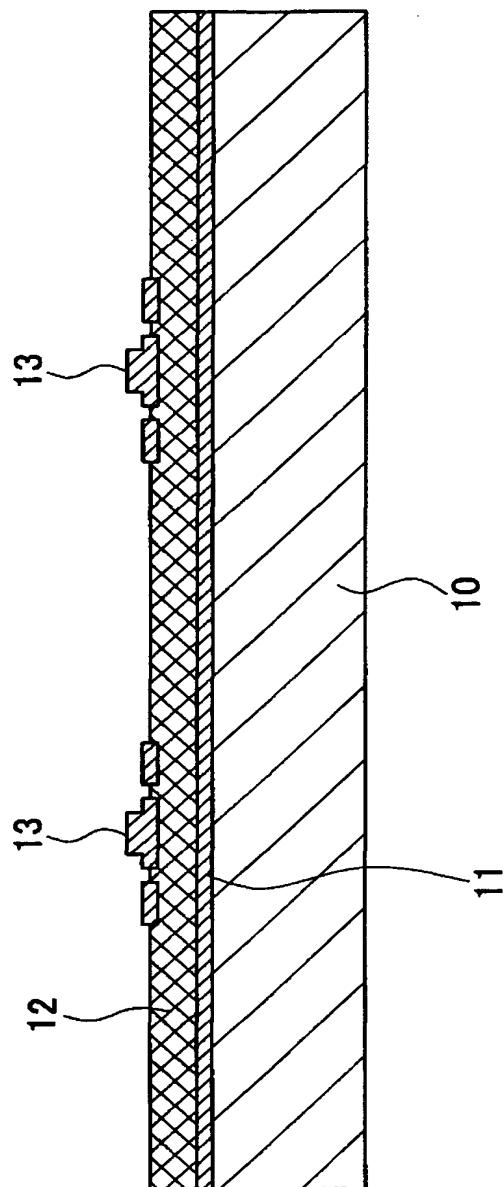
13…半導体デバイス（半導体素子）、 21…分離溝、

31…中間転写フィルム、 41…エッチング液、 61…微小タイル状素子、

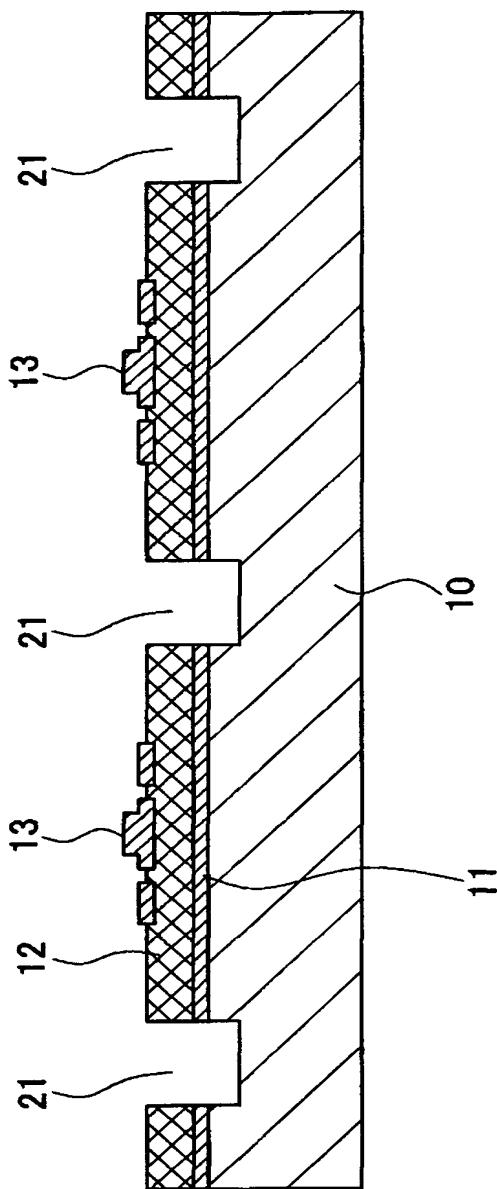
71…第2基板、 72…LSI領域、 91…電気的配線

【書類名】 図面

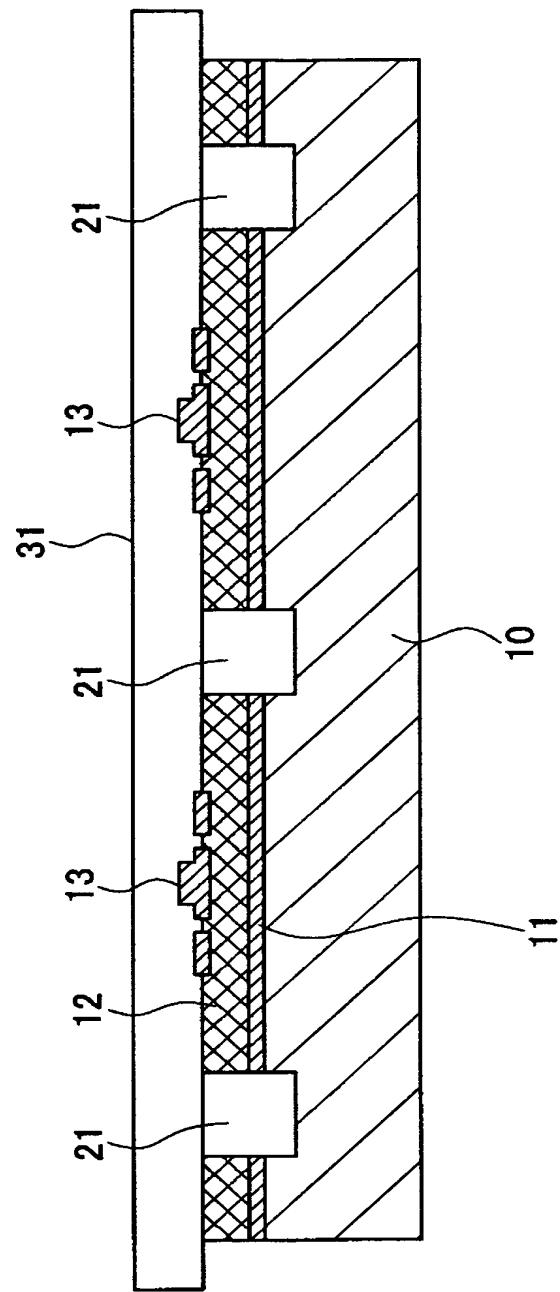
【図1】



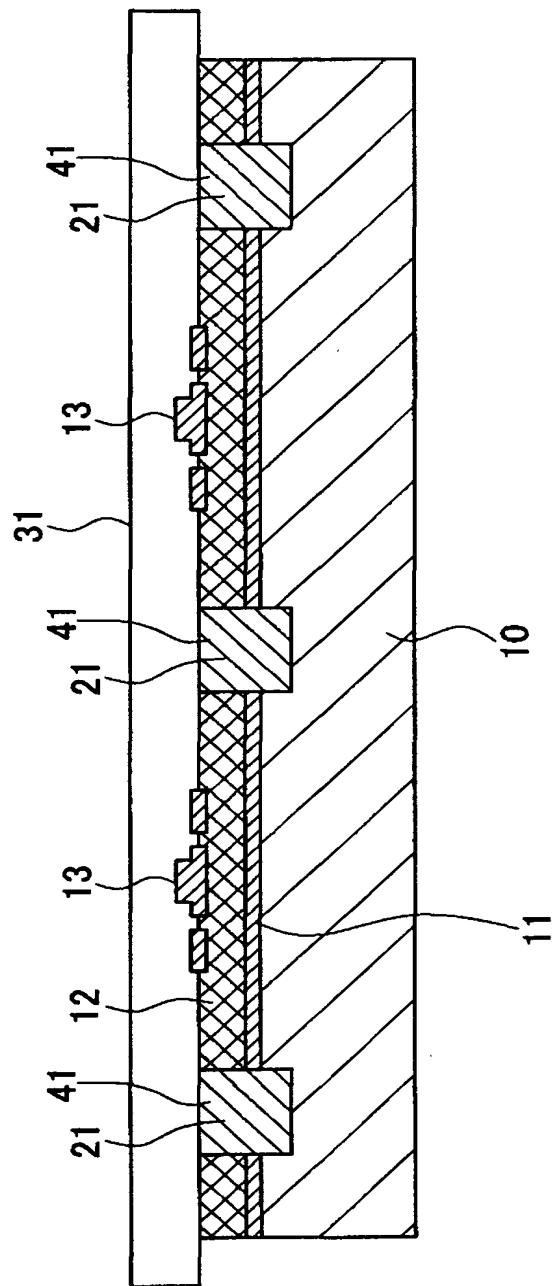
【図2】



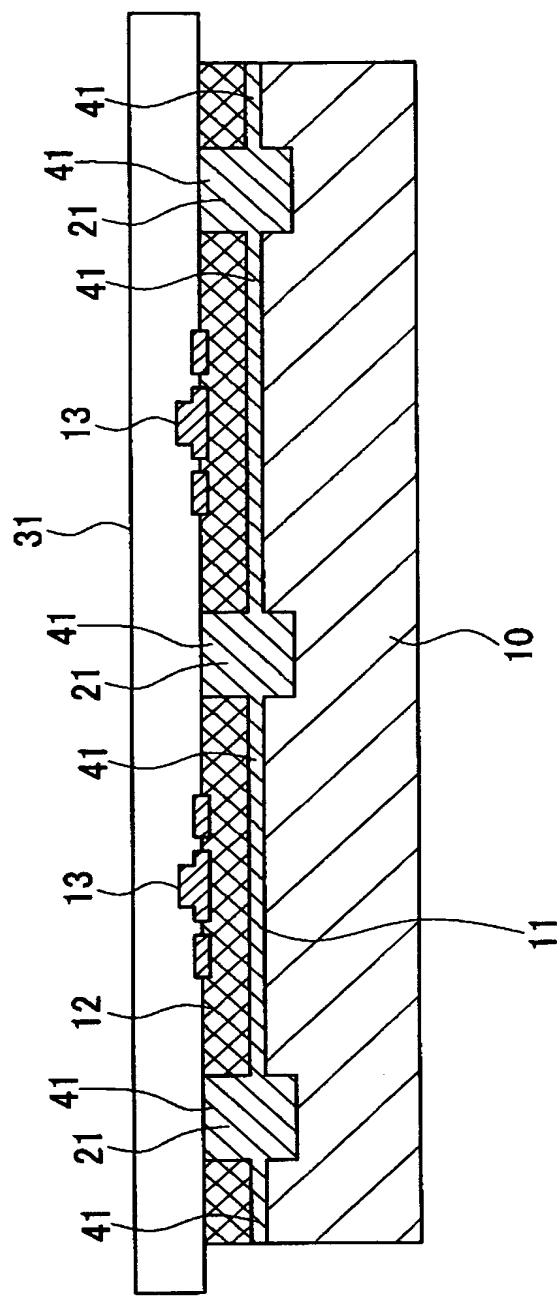
【図3】



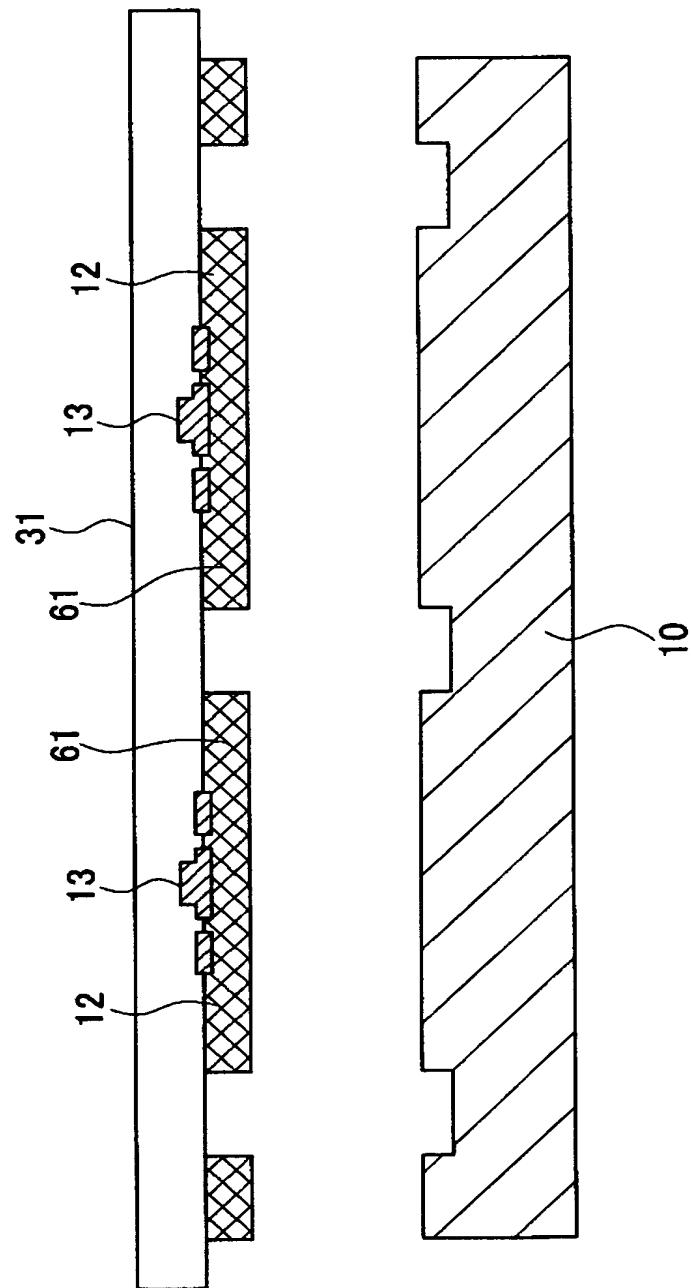
【図4】



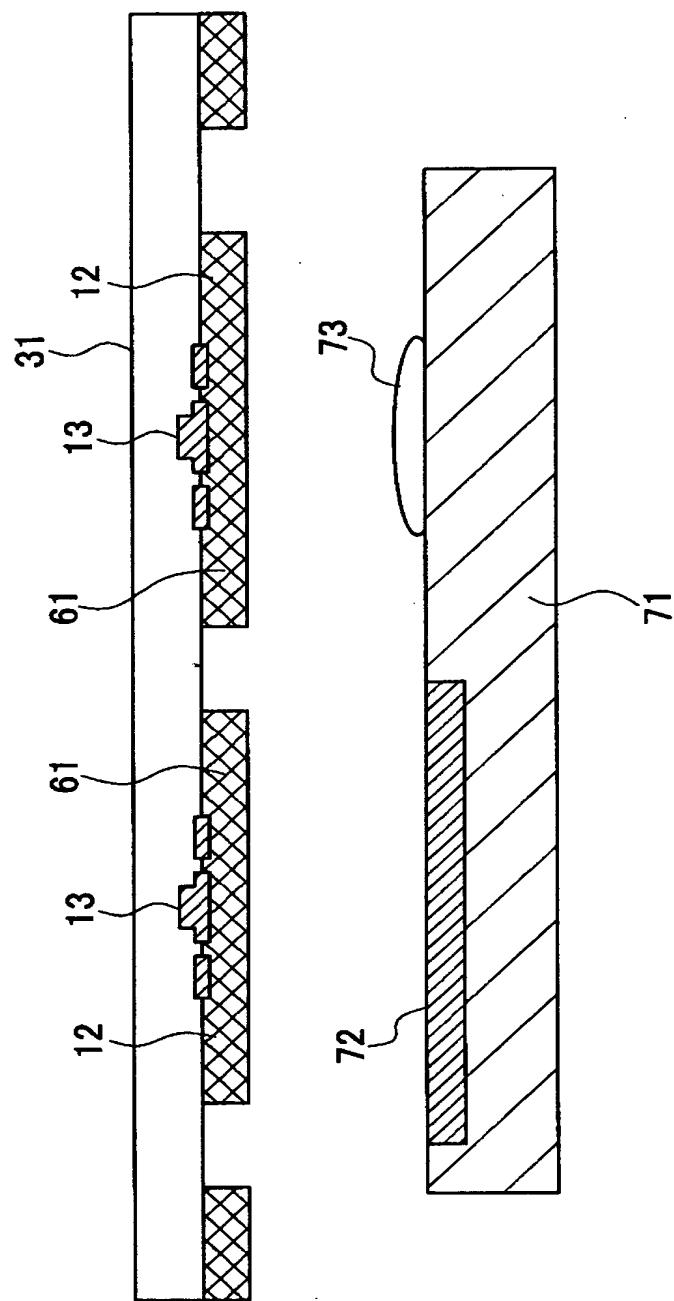
【図5】



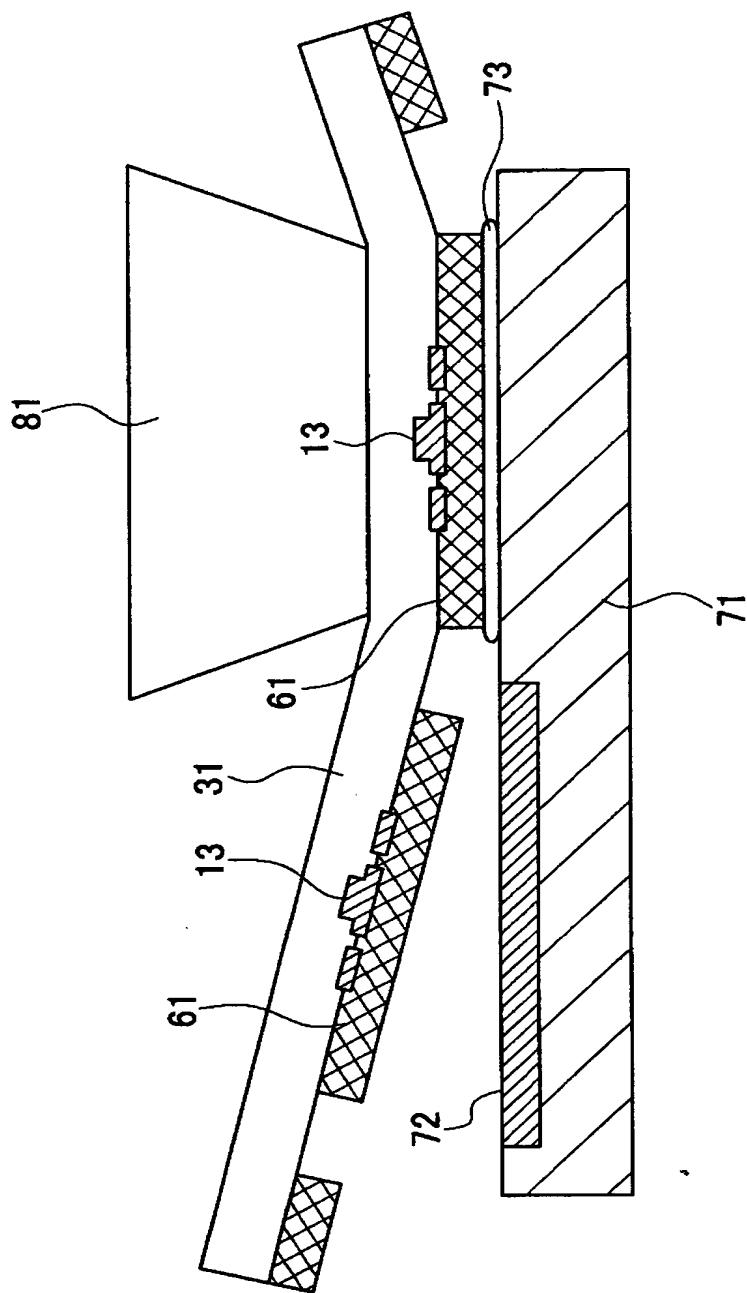
【図6】



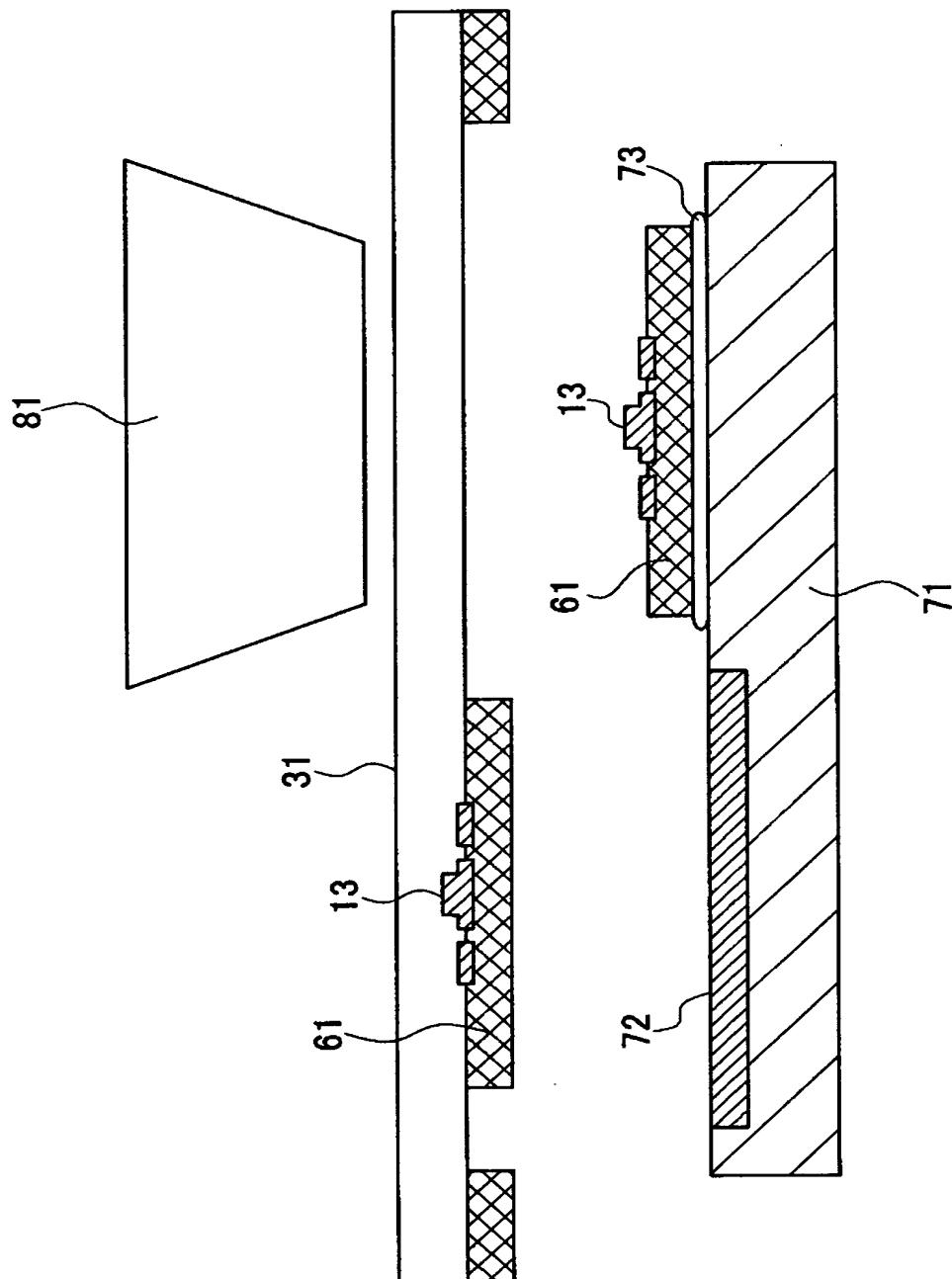
【図7】



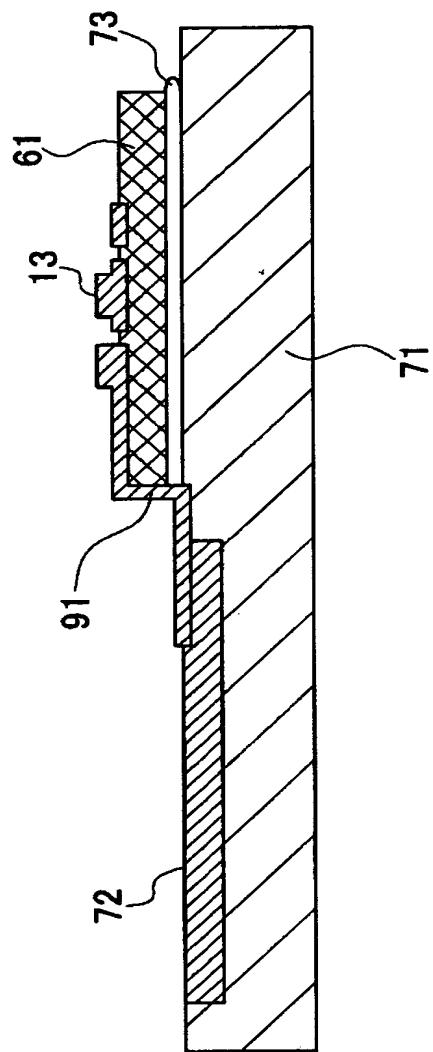
【図8】



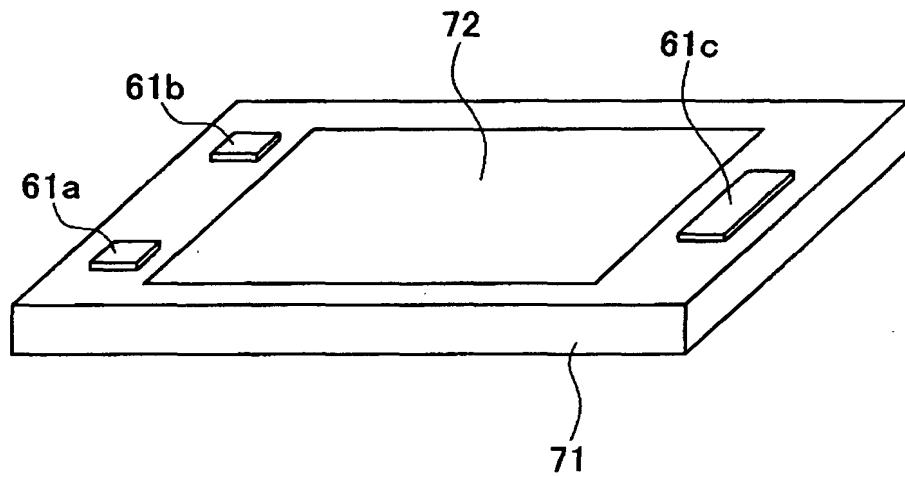
【図9】



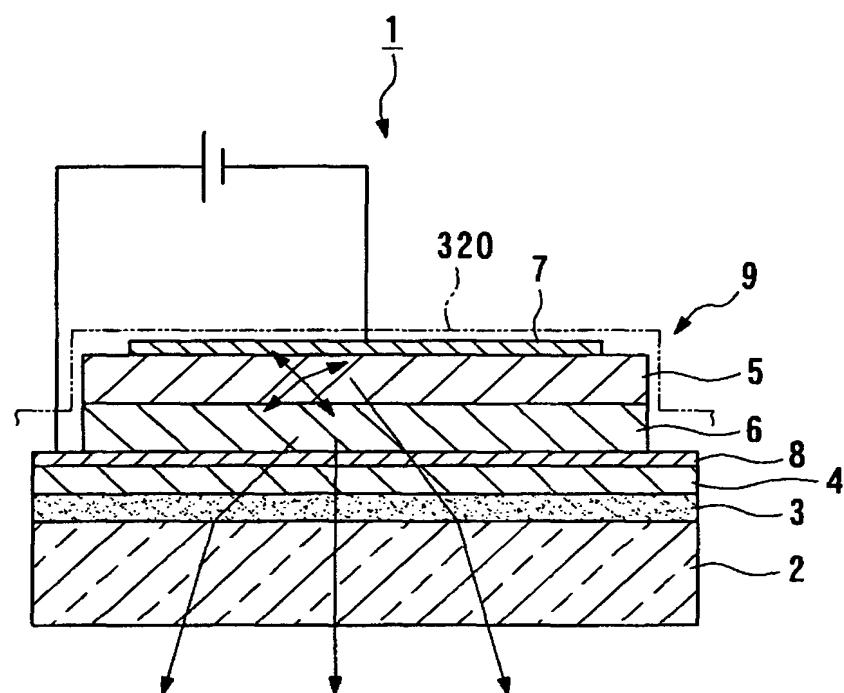
【図10】



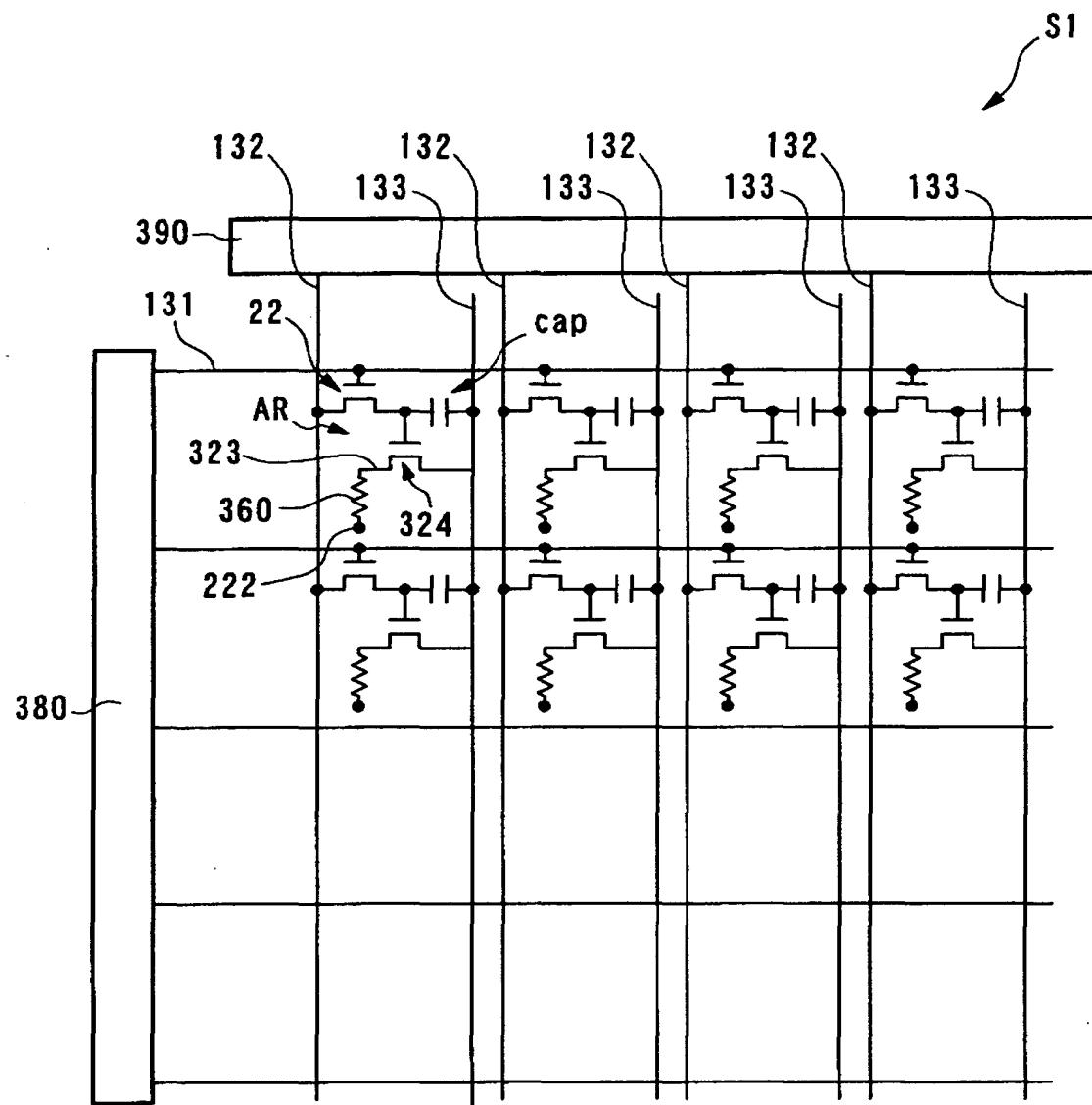
【図11】



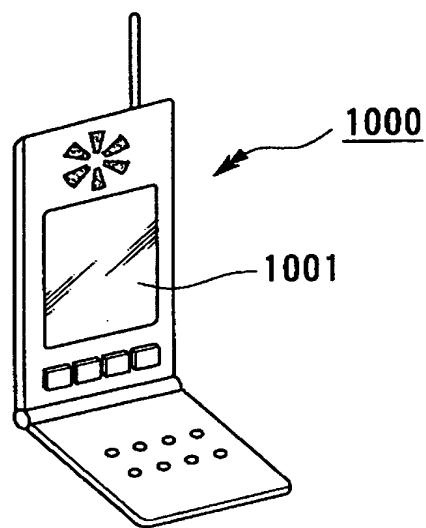
【図12】



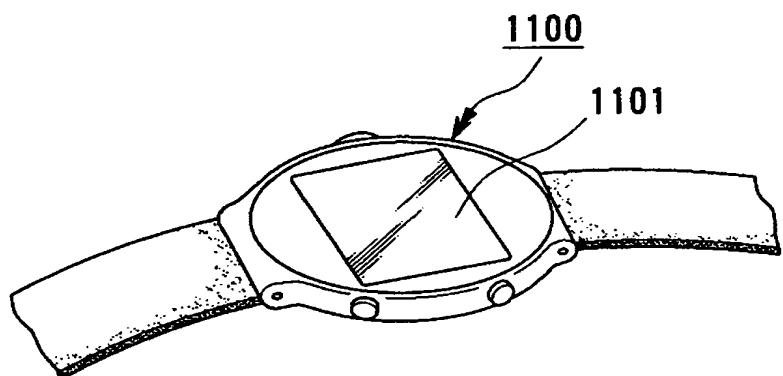
【図13】



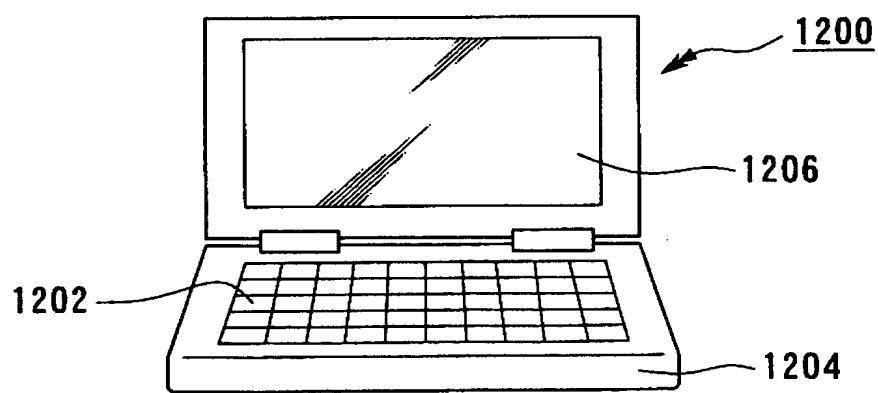
【図14】



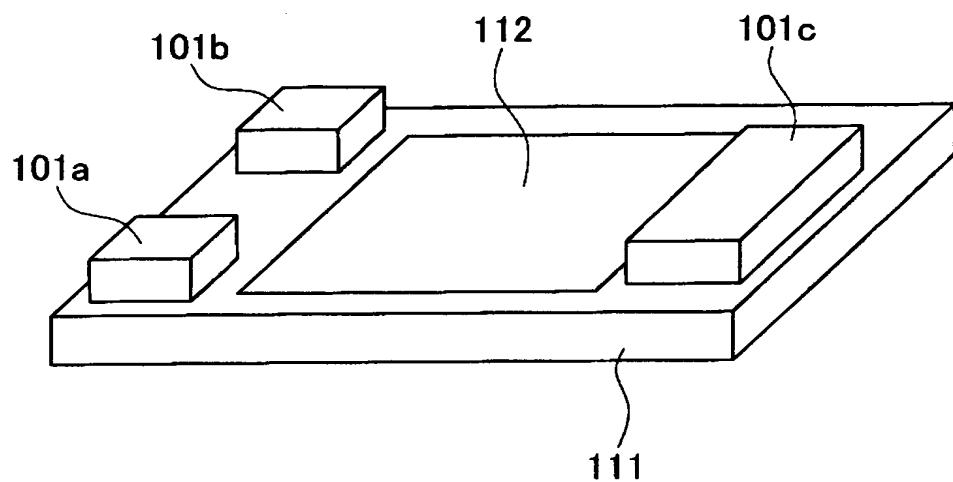
【図15】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 半導体素子を有する層としてAlGaAs系のものを用いた場合に、より良好な選択比を確保することができるようとした、半導体装置の製造方法、及び半導体素子部材、電気光学装置、電子機器を提供する。

【解決手段】 基板10上に犠牲層11を介して半導体素子13を有した機能層12を形成し、犠牲層11をエッチングすることによって機能層12を基板10から剥離する工程を備えた、半導体装置の製造方法である。犠牲層11としてN型のAl( $x_1$ )Ga(1- $x_1$ )As層を形成し、機能層12をAl( $x_2$ )Ga(1- $x_2$ )As系の半導体層(ただし、 $x_1 > x_2$ とする)から形成し、犠牲層11のエッチング液として濃度が5重量%以下、0.01重量%以上の塩酸またはフッ酸を用い、エッチング液による犠牲層11のエッチングを、犠牲層11に光を照射しつつ行うようにした。

【選択図】 図5

## 認定・付加情報

特許出願の番号	特願2002-202466
受付番号	50201016223
書類名	特許願
担当官	笹川 友子 9482
作成日	平成14年 7月19日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社
【代理人】	申請人
【識別番号】	100089037
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	渡邊 隆

## 【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

## 【選任した代理人】

【識別番号】	100110364
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル志賀国際特許事務所
【氏名又は名称】	実広 信哉

次頁無

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社